

PATENT ABSTRACTS OF JAPAN

NEC-5082

⑧④

(11)Publication number : 10-326497

(43)Date of publication of application : 08.12.1998

(51)Int.Cl.

G11C 29/00
G11C 11/401

(21)Application number : 09-151547

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.05.1997

(72)Inventor : ITO YUTAKA
NAKAI KIYOSHI
IWAI HIDETOSHI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently relieve a defect by generating an ECC parity bit for storage data, storing them in a memory cell, relieving the defect in a bit cell with the error detection/correction of the data and preferably relieving the defect in the memory cell of the parity bit with a redundant circuit.

SOLUTION: A memory array part is divided into 16 pieces of memory mats, and is constituted so as to be provided with capacity of nearly 64 M bits in all and to input/output the data in 137 bits. An ECC circuit is arranged between the memory array part and an input/output part, and the parity bit of an expansion humming code consisting of 9 bits is generated to be stored in 137 pieces of memory cells. A piece of memory mat is provided with reserve sub-word lines by four pieces much and reserve bit line pairs by two circuits much for relieving the defect, and the defect is relieved preferably for a complementary bit line for the parity bit and the memory cell of the parity bit.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NEC-5082- pad

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-326497

(43)公開日 平成10年(1998)12月8日

(51)Int.Cl.⁶

G 1 1 C 29/00
11/401

識別記号

6 3 1

F I

G 1 1 C 29/00
11/34

6 3 1 B
3 7 1 D

審査請求 未請求 請求項の数8 F D (全 14 頁)

(21)出願番号 特願平9-151547

(22)出願日 平成9年(1997)5月26日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 伊藤 豊

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 中井 潔

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 岩井 秀俊

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 徳若 光政

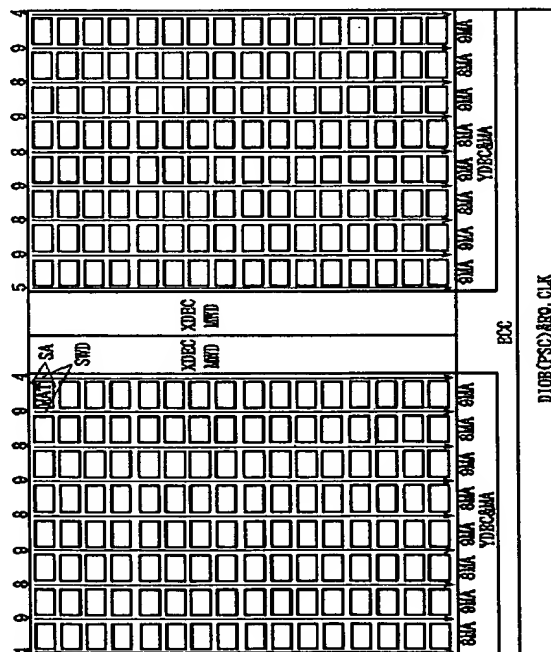
(54)【発明の名称】 半導体記憶装置

(57)【要約】 (修正有)

【課題】 効率的な欠陥救済が可能なこと及びこれに加えて高速なデータの入出力が可能な半導体記憶装置を提供する。

【解決手段】 複数のメモリセルから読み出された複数ビットの記憶データとパリティビットとをECC回路に供給して誤り検出と訂正を行い記憶データを取り出す。ECC回路との間で複数ビットの記憶データをパラレルに転送させる記憶レジスタを設ける。各メモリマツトには不良ワード線又は不良ビット線を予備の線に切り換える冗長回路を設けて、パリティビットを記憶したメモリセルの欠陥救済に優先的に使用する記憶レジスタにはパリティビットに対応した記憶回路を設けるとともに、テストモードの指定によりECC回路の動作を無効にして記憶データとパリティビットを記憶レジスタを介して入出力できるようにする。

図1



【特許請求の範囲】

【請求項1】 マトリックス配置されてなる複数のメモリセルを含むメモリマツトと、
 上記メモリマツトの複数個がマトリックス配置されて構成されたメモリアレイと、
 上記メモリアレイのうちの複数のメモリマツト及びそのメモリマツトの中の1ないし複数のメモリセルを選択するアドレス選択回路と、
 上記アドレス選択回路により選択された複数のメモリセルに対して、複数ビットからなる記憶データとかかる記憶データに対応して誤り検出訂正用のパリティビットとを生成して書き込み信号を形成し、上記複数のメモリセルから読み出された複数ビットの記憶データとパリティビットとを受けて、上記記憶データに対して誤り訂正を行った読み出し信号を形成するECC回路と、
 上記ECC回路との間で上記複数ビットの記憶データをパラレルに転送させる記憶レジスタとを備え、
 上記各メモリマツトは、不良ワード線又は不良ビット線を予備のワード線又は予備のビット線に切り換える冗長回路を有し、
 上記記憶レジスタは、上記パリティビットに対応した記憶回路を有し、
 上記ECC回路の動作を無効にして上記記憶データとパリティビットを記憶レジスタを介して入出力するテストモードを有し、
 上記パリティビットの記憶動作を行うメモリセルに欠陥ビットが存在した場合には上記予備のワード線又はビット線に切り換えるようにしてなることを特徴とする半導体記憶装置。

【請求項2】 上記記憶レジスタと外部端子との間では、パラレルにデータの入出力を行うものであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記記憶レジスタと外部端子との間では、上記記憶データをN分割し、N回に分けてシリアルに入出力させ、テストモードのときには上記パリティビットに対応してN+1回以上にわたってシリアルに入出力させるものであることを特徴とする請求項1の半導体記憶装置。

【請求項4】 上記パリティビットは、上記複数のメモリマツトに設けられるメモリセルに分散させて記憶させるものであることを特徴とする請求項2又は請求項3の半導体記憶装置。

【請求項5】 上記メモリセルは、ダイナミック型メモリセルであり、
 上記メモリマツトには上記ダイナミック型メモリセルから読み出された記憶情報を増幅し、それを上記ダイナミック型メモリセルの記憶キャパシタに書き込むラッチ型のセンスアンプが設けられるものであることを特徴とする請求項2、請求項3又は請求項4の半導体記憶装置。

【請求項6】 上記メモリアレイは、行方向と列方向に

それぞれ複数のメモリマツトがマトリックス配置されるものであり、
 上記メモリアレイの列方向の一端側が方形の半導体チップの一边に沿うよう対応され、
 上記メモリアレイの列方向の他端側にメインアンプ列が配置され、
 上記半導体チップの上記一边に対向する他辺側に入出力回路が配置され、
 上記入出力回路と上記メインアンプとの間に上記ECC回路が配置されるものであることを特徴とする請求項5の半導体記憶装置。

【請求項7】 上記メモリアレイは、半導体チップの中央部において上記列方向に沿ってX系のアドレス選択回路が設けられ、上記メインアンプ列に沿ってY系のアドレス選択回路が設けられるものであることを特徴とする請求項6の半導体記憶装置。

【請求項8】 上記入出力回路に含まれるデータ入出力回路は、クロック信号の立ち上がりと立ち下がりに同期して上記記憶レジスタとの間でシリアルにデータの入出力を行うものであり、
 アドレス信号と動作モードを指示する信号は、リクエスト信号の組み合わせより入力されるものであることを特徴とする請求項6又は請求項7の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、主として大記憶容量化を図ったダイナミック型RAM（ランダム・アクセス・メモリ）におけるポーズリフレッシュ不良や α 線ソフトエラーをも含むようなメモリセル欠陥救済技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】ダイナミック型RAMにおいては、約256Mビットから1Gビットのように記憶容量の増大化が進められている。このような大記憶容量のダイナミック型RAMに関しては、1996年2月12日、日経マグローヒル社発行「日経エレクトロニクス」第108頁から第111頁がある。また、ECC（誤り検出訂正回路）を搭載したダイナミック型RAMに関して、アイ・イー・イー・ジャーナル オブ ソリッドステート サーキット（IEEE JOURNAL OF SOLID-STATE CIRCUITS）VOL.25 No.5, 10月, 1990年の“A 50ns 16MbRAM with a 10ns DataRate and On Chip ECC”がある。

【0003】

【発明が解決しようとする課題】上記のような記憶容量の増大に伴い、その実現化のためには欠陥救済技術が不可欠なものとなる。つまり、比較的小さな4Mビット程度の記憶容量を持つものダイナミック型RAMでは、欠陥ビットがゼロのチップが約半数程度を占めるものであるのに対して、上記64Mビットやそれを超える上記の

ような大きな記憶容量を持つものではもはや欠陥ビットの存在しないものは無いと推測される。

【0004】本願発明者等においては、上記のような記憶容量の増大化に鑑み、従来のように不良ビットが存在ワード線やビット線を予備のビット線に切り換えるという欠陥救済回路と、誤り検出訂正（以下、ECCという）回路とを組み合わせることにより上記大記憶容量化に適した欠陥救済方式を考えた。つまり、欠陥であることが許されにくいパリティビットを記憶するメモリセルが接続される不良ワード線や不良ビット線を予備のワード線や予備のビット線への切り換えに優先的に使用し、余裕があればワード線やビット線自体に不良が存在するものを上記予備のワード線やビット線に切り換えることに使用し、それ以外の離散的なメモリセルの不良に対してはECC回路で救済するようにするものである。そして、このようなECC回路を内蔵させることを考慮し、効率的なデータ記憶と回路配置の実現のために1回のメモリアクセスにおいて128ビットや256ビットといったような多ビットのデータを入出力できるようなインターフェイスを組み合わせ、より効率的にメモリアクセスができるように工夫した。

【0005】この発明の目的は、効率的な欠陥救済が可能な半導体記憶装置を提供することにある。この発明の他の目的は、効率的な欠陥救済を可能にしつつ、高速なデータの入出力が可能な半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、マトリックス配置されてなる複数のメモリセルを含むメモリマットの複数個をマトリックス配置してメモリアレイ構成し、アドレス選択回路により複数のメモリセルを選択して、ECC回路により複数ビットからなる記憶データとかかる記憶データに対応して誤り検出訂正用のパリティビットとを生成して上記メモリセルに書き込むようにし、上記複数のメモリセルから読み出された複数ビットの記憶データとパリティビットとを上記ECC回路に供給して誤り検出と訂正を行い上記記憶データを取り出し、かかるECC回路と間で上記複数ビットの記憶データをパラレルに転送させる記憶レジスタを設け、上記各メモリマットには不良ワード線又は不良ビット線を予備のワード線又は予備のビット線に切り換える冗長回路を設けて上記パリティビットを記憶するメモリセルの欠陥救済に優先的に使用し、上記記憶レジスタにはパリティビットに対応した記憶回路を設けるとともにテストモードの指定により上記ECC回路の動作を無効にして上記記憶データとパリティビットを上記記憶レジスタを介して入出力できるようにす

る。

【0007】

【発明の実施の形態】図1には、この発明に係る半導体記憶装置の一実施例の概略レイアウト図が示されている。同図の各回路ブロックは、半導体チップ上における実際の幾何学的な配置に合わせて描かれている。特に制限されないが、この実施例の半導体記憶装置は、メモリセルとしてダイナミック型メモリセルを用い、約64Mビットのような記憶容量を持つようにされる。

10 【0008】特に制限されないが、メモリチップは、同図において縦長に形成されており、メモリアレイ部の左端は、上記半導体チップの左端に寄せられて構成される。メモリアレイ部の上下端は、半導体チップの上下端に沿って構成される。メモリアレイ部の右端には、メインアンプMA、YデコーダYDECが配置され、その右側にはECC回路が設けられ、半導体チップの右端に沿って入出力回路DIOB、RQ、CLKが配置される。

20 【0009】特に制限されないが、上記メモリアレイ部は、上下に2分割されており、その中央部分において上側と下側のメモリマットに対応したXデコーダXDECとメインワードドライバMWDが配置される。このようにメモリアレイ部を上下に2分割して、メインワードドライバを中央部分に配置する構成により、メインワード線の長さを半分にできるのでワード線の選択動作を高速化できる。

30 【0010】上記2つに分割されたメモリアレイ部は、それぞれにおいて複数からなるメモリマットが行、列方向にマトリックス配置される。例えば、行方向（ワード線方向）には、8個のメモリマットが配置され、列方向（ビット線方向）には16個のメモリマットが配置される。それ故、メモリマットMATの数は、全体で $8 \times 16 \times 2 = 256$ 個で構成される。1つのメモリマットMATは、 $512 \times 512 = \text{約} 25\text{K}$ ビットの記憶容量を持ち、全体で上記のように約64Mビットのような大きな記憶容量を持つようにされる。

40 【0011】上記メモリマットMATには、ダイナミック型メモリセルが接続されるワード線（サブワード線）を選択するサブワードドライバSWDと、上記ダイナミック型メモリセルが接続されるビット線に読み出された記憶情報を増幅し、上記ダイナミック型メモリセルの記憶キャパシタに書き込み信号を形成するラッチ型のセンスアンプSAが設けられる。このセンスアンプSA部には、後述するようにローカル入出力線LIOとそれに選択されたビット線を接続させるカラムスイッチが設けられる。

50 【0012】上記メモリマットMAT間のセンスアンプ列に沿って、言い換えるならば、列方向に沿ってメイン入出力線が配置される。このメイン入出力線のビット数は、半導体チップの左端に示した数字によって示されている。例えば、下側のメモリアレイ部において、左上端

のメモリマツMATの上側には、そこから4ビット分のメイン入出力線が配置され、その下側にはかかるメモリマツから5ビット分と、1列下側のメモリマツからの4ビット分を加えた9ビット分のメイン入出力線が配置される。つまり、2つのメモリマツMAT間に挟まれたセンスアンプ領域には、2つのメモリマツの両方からそれぞれ4ビットずつ、あるいは4ビットと5ビットとが入出力できるように構成される。

【0013】したがって、メモリアレイ部の右端に設けられるメインアンプは、上記のようなメイン入出力線に対応して、上から順に9個のメインアンプ(9MA)、8個のメインアンプ(8MA)のようにメモリマツの列に対応して複数のメインアンプが配置される。上側のメモリアレイ部では、 $9+8+9+8+9+8+9+9=69$ ビットが入出力され、上側のメモリアレイ部では、 $9+8+9+8+9+8+9+8=68$ ビットが入出力されるで、全体として最大137ビットの単位で入出力ができるようにされる。

【0014】上記XデコーダXDECとメインワードドライバMWDにより行方向に並んで配置される8個のメモリマツに対して1本ずつのメインワード線を選択し、各メモリマツにおいてサブワードドライバSWDにより1本のサブワード線を選択し、各メモリマツにおいて上記カラムスイッチにより上記8ビットあるいは9ビットの単位でメモリセルを選択するとともに、マツ選択信号によりメインカラムスイッチを選択すると、上記のように137ビット単位でのデータの入出力ができるようにされる。

【0015】ECC回路は、入出力回路上記メモリアレイ部との間に介在し、128ビットの単位での書き込み用記憶データに対して9ビットのパリティビットを生成して、全体で137ビットの書き込み信号を形成して上記選択された137個のメモリセルに記憶させる。読み出し動作により、上記137ビットの単位で読み出された読み出し信号は、ECC回路に入力されて、ここで上記128ビットの記憶データに対して誤り検出と訂正を行い128ビットのデータを出力させる。

【0016】入出力回路は、特に制限されないが、パラレル/シリアル変換回路PSCを含み、上記128ビットのデータを16ビットずつ8回に分けてシリアルに入出力させる。このようなパラレル/シリアル変換回路PSCのために、128ビットの記憶データを保持する記憶レジスタが設けられる。また、記憶レジスタには、上記9ビットからなるパリティビットを記憶する記憶回路が付加される。つまり、パリティビットを記憶するメモリセルの欠陥を検出するために、テストモードの設定により、上記ECC回路の動作を無効にして137ビットの単位でのデータの入出力が可能にされる。

【0017】アドレス信号と動作モード信号は、特に制限されないが、リクエスト信号RQの組み合わせにより

形成される。また、高速なデータの入出力のためにクロック信号CLKが入力され、かかるクロック信号CLKの立ち上がり立ち下りのエッジに同期して上記リクエスト信号RQやデータの入出力が行われる。このような入出力インターフェイスは、特に制限されないが、ランバス(Rambus)仕様に準拠してたとされる。

【0018】上記のようにダイナミック型メモリセルを用いた場合には、一定の周期でリフレッシュ動作を行う必要がある。このリフレッシュ動作を内部で自動的に行うためのリフレッシュ制御回路がX系選択タイミング発生回路の一部として設けられる。このようなリフレッシュ周期において、記憶情報が失われた不良メモリセルが発生しても、それもECC回路により救済させることができる。このようなリフレッシュ不良をも救済するために、リフレッシュ周期を可能な限りに長く設定できる結果、低消費電力化も図ることができる。特に、上記ランバス仕様でのパケットを受け取りエントリーする低消費電力モードで使用できる。

【0019】図2には、上記メモリマツのメインワード線とサブワード線との関係を説明するための要部ブロック図が示されている。同図においては、代表として2本のメインワード線MWL0とMWL1が示されている。これらのメインワード線MWL0は、メインワードドライバMWD0により選択される。同様なメインワードドライバによりメインワード線MWL1も選択される。上記1つのメインワード線MWL0には、その延長方向に対して8組のサブワード線が設けられる。同図には、そのうちの2組のサブワード線が代表として例示的に示されている。サブワード線SWLは、偶数0~6と奇数1~7の合計8本のサブワード線が1つのメモリセルアレイに交互に配置される。メインワードドライバに隣接する偶数0~6と、メインワード線の遠端側(ワードドライバの反対側)に配置される奇数1~7を除いて、メモリセルアレイ間に配置されるサブワードドライバSWDは、それを中心にした左右のメモリブロックのサブワード線を選択信号を形成する。

【0020】上記のようにメモリアレイとしては、メインワード線方向に8本に分けられるが、上記のように実質的にサブワードドライバSWDにより2つのメモリマツに対応したサブワード線が同時に選択されるので、実質的には4つに分けられることとなる。上記のようにサブワード線を偶数0~6と偶数1~7に分け、それぞれメモリマツの両側にサブワードドライバSWDを配置する構成では、メモリセルの配置に合わせて高密度に配置されるサブワード線SWLの実質的なピッチがサブワードドライバSWDの中で2倍に緩和でき、サブワードドライバSWDとサブワード線SWL0等とを効率よくレイアウトすることができる。

【0021】上記サブワードドライバSWDは、4本のサブワード線0~6(1~7)に対して共通に選択信号

を供給する。また、インバータ回路N1を介した反転信号を供給する。上記4つのサブワード線の中から1つのサブワード線を選択するためのサブワード選択線FXが設けられる。サブワード選択線FXは、FX0~FX7のような8本から構成され、そのうちの偶数サブワード選択線FX0~FX6が上記偶数列のサブワードドライバ0~6に供給され、そのうち奇数サブワード選択線FX1~FX7が上記奇数列のサブワードドライバ1~7に供給される。特に制限されないが、サブワード選択線FX0~FX7は、アレいの周辺部では第2層目の金属配線層M2により形成され、同じく第2層目の金属配線層M2により構成されるメインワード線MWL0~MWLnの交差する部分では、第3層目の金属配線層M3により構成される。

【0022】図3には、上記メインワード線とセンスアンプとの関係を説明するための要部ブロック図が示されている。同図においては、代表として1本のメインワード線MWLが示されている。このメインワード線MWLは、メインワードドライバMWDにより選択される。上記メインワードドライバに隣接して、上記偶数サブワード線に対応したサブワードドライバSWDが設けられる。

【0023】同図では、省略されているが上記メインワード線MWLと平行に配置されるサブワード線と直交するように相補ビット線(Pair Bit Line)が設けられる。この実施例では、特に制限されないが、相補ビット線も偶数列と奇数列に分けられ、それぞれに対応してメモリマットを中心にして左右にセンスアンプSAが振り分けられる。センスアンプSAは、シェアードセンス方式とされるが、端部のセンスアンプSAでは、実質的に片方にした相補ビット線が設けられない。

【0024】上記のようにメモリブロックの両側にセンスアンプSAを分散して配置する構成では、奇数列と偶数列に相補ビット線が振り分けられるために、センスアンプ列のピッチを緩やかにすることができる。逆にいうならば、高密度に相補ビット線を配置しつつ、センスアンプSAを形成する素子エリアを確保することができるものとなる。上記センスアンプSAの配列に沿ってローカル入出力線が配置される。このローカル入出力線は、カラムスイッチを介して上記相補ビット線に接続される。カラムスイッチは、スイッチMOSFETから構成される。このスイッチMOSFETのゲートは、カラムデコーダ(COLUMN DECODER)の選択信号が伝えられるカラム選択線YSに接続される。

【0025】図4には、上記メモリマットのセンスアンプ部と、その周辺回路の一実施例の要部回路図が示されている。同図においては、2つのメモリマットに挟まれて配置されたセンスアンプSAとそれに関連した回路が例示的に示されている。また、各素子が形成されるウェル領域が点線で示され、それに与えられるバイアス電圧

も併せて示されている。

【0026】ダイナミック型メモリセルは、上記1つのサブアレイに設けられたサブワード線SWLと、相補ビット線BL、/BLのうちの一方BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線BLに接続され、ソースに記憶キャパシタCsが接続される。記憶キャパシタCsの他方の電極は共通化されてプレート電圧を与えられる。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧VPPとされる。

【0027】後述するセンスアンプを内部降圧電圧VDLで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧VDLに対応したレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧VPPはVDL+Vthにされる。センスアンプの左側に設けられたサブアレイの一对の相補ビット線BLと/BLは、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。かかる相補ビット線BLと/BLは、シェアードスイッチMOSFETQ1とQ2によりセンスアンプの単位回路の入出力ノードと接続される。

【0028】センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFETQ5、Q6及びPチャンネル型の増幅MOSFETQ7、Q8から構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。上記共通ソース線CSNとCSPには、それぞれパワースイッチMOSFETが設けられる。特に制限されないが、Nチャンネル型の増幅MOSFETQ5とQ6のソースが接続された共通ソース線CSNには、上記メモリマットの四隅に形成されるクロスエリアに設けられたNチャンネル型のパワースイッチMOSFETQ12とQ13により接地電位に対応した動作電圧が与えられる。

【0029】特に制限されないが、上記Pチャンネル型の増幅MOSFETQ7とQ8のソースが接続された共通ソース線CSPには、上記A側のクロスエリアに設けられたオーバードライブ用のPチャンネル型のパワーMOSFETQ15と、上記内部電圧VDLを供給するNチャンネル型のパワーMOSFETQ16が設けられる。上記オーバードライブ用の電圧は、特に制限されないが、昇圧電圧VPPがゲートに供給されたNチャネル

ル型MOSFETQ14により形成されたクランプ電圧VDDCLPが用いられる。このMOSFETQ14のドレインには、外部端子から供給された電源電圧VDDが供給され、上記MOSFETQ14をソースフォロウ出力回路として動作させ、上記昇圧電圧VPPを基準にしてMOSFETQ14のしきい値電圧分だけ低下したクランプ電圧VDDCLPを形成する。

【0030】上記昇圧電圧VPPは、チャージポンプ回路の動作を基準電圧を用いて制御して3.8Vのような安定化された高電圧とされる。そして、上記MOSFETQ14のしきい値電圧は、メモリセルのアドレス選択MOSFETQmに比べて低いしきい値電圧に形成されており、上記クランプ電圧VDDCLPを約2.9Vのような安定化された定電圧にする。MOSFETQ26は、リーク電流経路を形成するMOSFETであり、約1 μ A程度の微小な電流しか流さない。これにより、長期間にわたってスタンバイ状態（非動作状態）にされた時や、電源電圧VDDのバンプにより上記VDDCLPが過上昇するのを防止し、かかる過上昇時の電圧VDDCLPが与えられる増幅MOSFETQ7、Q8のバックバイアス効果による動作遅延を防止する。

【0031】この実施例では、上記のようなクランプ電圧VDDCLPによりセンスアンプのオーバードライブ電圧を形成するものであることに着目し、その電圧を供給するPチャンネル型のパワーMOSFETQ15と、センスアンプのPチャンネル型の増幅MOSFETQ7、Q8とを同図で点線で示したような同じN型ウェル領域NWELLに形成するとともに、そのバイアス電圧として上記クランプ電圧VDDCLPを供給するものである。そして、センスアンプのPチャンネル型の増幅MOSFETQ7とQ8の共通ソース線CSPに本来の動作電圧VDLを与えるパワーMOSFETQ16は、Nチャンネル型として上記オーバードライブ用のMOSFETQ14と電気的に分離して形成する。

【0032】上記Nチャンネル型のパワーMOSFETQ15のゲートに供給されるセンスアンプ活性化信号SAP2は、上記Pチャンネル型MOSFETQ15のゲートに供給されるオーバードライブ用の活性化信号/SAP1と逆相の信号とされ、特に制限されないが、そのハイレベルが電源電圧VDDに対応された信号とされる。つまり、前記のようにVDDCLPは、約+2.9V程度であり、電源電圧VDDの許容最小電圧VDDminも、約2.9V程度であるので、上記Pチャンネル型MOSFETQ15をオフ状態にさせることができるとともに、上記Nチャンネル型MOSFETQ16を低いしきい値電圧のものを用いることにより、ソース側から内部電圧VDLに対応した電圧を出力させることができる。

【0033】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSF

ETQ11と、相補ビット線にハーフプリチャージ電圧を供給するスイッチMOSFETQ9とQ10からなるプリチャージ回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共通にプリチャージ信号BLEQが供給される。このプリチャージ信号BLEQを形成するドライバ回路は、上記クロスエリアにNチャンネル型MOSFETQ18を設けて、その立ち下がりを高速度にする。つまり、メモリアクセスの開始によりワード線を選択タイミングを早くするために、各クロスエリアに設けられたNチャンネル型MOSFETQ18をオン状態にして上記プリチャージ回路を構成するMOSFETQ9～Q11を高速度にオフ状態に切り替えるようにするものである。

【0034】これに対して、プリチャージ動作を開始させる信号を形成するPチャンネル型MOSFETQ17は、上記のようにクロスエリアに設けられるのではなく、Yデコーダ&YSドライバ部に設けるようにする。つまり、メモリアクセスの終了によりプリチャージ動作が開始されるものであるが、その動作には時間的な余裕が有るので、信号BLEQの立ち上がりを高速度にすることが必要ないからである。この結果、一方のクロスエリアに設けられるPチャンネル型MOSFETは、上記オーバードライブ用のパワーMOSFETQ15のみとなり、他方のクロスエリアに設けられるPチャンネル型MOSFETは、次に説明するメイン入出力線MIOのスイッチ回路IOSWを構成するMOSFETQ24、Q25及び共通入力線MIOを内部電圧VDLにプリチャージさせるプリチャージ回路を構成するMOSFETにできる。これらのN型ウェル領域には、上記VDDCLPとVDLのようなバイアス電圧が与えられるから1種類のN型ウェル領域となり、寄生サイリスタ素子が形成されない。

【0035】センスアンプの単位回路は、シェアードスイッチMOSFETQ3とQ4を介して右側のサブアレイの同様な相補ビット線BL、/BLに接続される。スイッチMOSFETQ12とQ13は、カラムスイッチ回路を構成するものであり、選択信号YSを受けて、上記センスアンプの単位回路の入出力ノードをローカル入出力線LIOに接続させる。例えば、左側のサブアレイのサブワード線SWLが選択されたときには、センスアンプの右側シェアードスイッチMOSFETQ3とQ4とがオフ状態にされる。これにより、センスアンプの入出力ノードは、上記左側の相補ビット線BL、/BLに接続されて、選択されたサブワード線SWLに接続されたメモリセルの微小信号を増幅し、上記カラムスイッチ回路を通してローカル入出力線LIOに伝える。上記ローカル入出力線LIOは、他方のクロスエリアに設けられたNチャンネル型MOSFETQ19と20及び上記Pチャンネル型MOSFETQ24とQ25からなるスイッチ回路IOSWを介して上記のメインアンプMAの

入端子に接続されるメイン入出力線MIOに接続される。

【0036】サブワード線駆動回路SWDは、そのうちの1つが代表として例示的に示されているように、上記深い深さのN型ウェル領域DWELL(VPP)に形成されたPチャンネル型MOSFETQ21と、かかるDWELL内に形成されるP型ウェル領域PWELL(VBB)に形成されたNチャンネル型MOSFETQ22及びQ23とを用いて構成される。インバータ回路N1は、特に制限されないが、前記図2に示したようなサブワード選択線駆動回路FXDを構成するものであり、前記のようにクロスエリアに設けられるものである。メモリマットのアドレス選択MOSFETQmも、上記DWELL内に形成されるP型ウェル領域PWELL(VBB)に形成されるものである。

【0037】図5には、上記メモリアレイ部とECC回路の関係を説明するための概略ブロック図が示されている。この実施例では、前記図1の実施例とは異なり、回路的に示されている。上記メモリアレイ部はDRAM(ダイナミック型RAM)部として示され、ECC回路

に対して合計16のサブアレイSAY1～SAY16が設けられる。上記サブアレイは、図1に示した列方向に並べられた合計16個のメモリマットMATから構成される。

【0038】サブアレイSAY1に例示されているように、ビット線BLの一方にメモリセルCELLが接続され、センスアンプSAによってその読み出し信号が増幅される。上記メモリマットに配置される複数のビット線BLのうち、カラムスイッチにより選択されたものがローカル入出力線LIOに接続され、ローカル入出力線のうち、選択されたメモリマットに対応したものがメイン入出力線MIOに接続される。このメイン入出力線MIOは、メインアンプMAの入力端子に接続される。

【0039】前記図1の実施例では、代表として例示的に示されているサブアレイSAY1には、8対のメイン入出力線MIOが設けられ、8ビットの単位での読み出しが行われる。図示しないが、メインアンプMAに対応して、書き込み信号を形成する書き込みアンプが設けられる。他の代表として例示的に示されているサブアレイSAY2～SAY4……SAY15とSAY16からは、それぞれ9ビット、8ビット、9ビット……8ビットと9ビットが入出力される。

【0040】上記のように16個のサブアレイSAY1～16に対応して全体で137ビットがデータバスに入出力される。このデータバスは、ECC回路のシンドロームツリーS1～S9に接続される。特に制限されないが、この実施例のECC回路は、公知の2重誤り検出機能を持つ。2重誤り検出機能は、ハミングコードに検査ビットを1つ追加し、単一誤り訂正だけでなく、2重誤り検出能力を持たせた拡大ハミングコードを使用する。

つまり、128ビットの情報ビットに対して8ビットのハミングコードと1ビットの検査ビットを追加して、9ビットのパリティビットとするものである。

【0041】この構成では、情報ビット128に対して9ビットを追加するだけで、2重誤り検出訂正の能力を持つものとなる。つまり、ダイナミック型RAM部では、情報ビット分に対して約7%程度の面積を増加させるだけで済むものとなる。そして、上記ダイナミック型RAM部と入出力回路との間にECC回路を設けるとい

う構成により全体としての面積増加の小さく抑えることができる。

【0042】上記ECC回路では、書き込み動作のときには128ビットからなる情報ビットに対して上記9ビットのパリティビットを生成し、上記情報ビットとともにダイナミック型RAM部に書き込む。読み出し動作のときには、上記ダイナミック型RAM部から読み出された137ビットの読み出し信号のうち、上記128ビットの情報ビットを上記9ビットからなるパリティビットを用いて誤り検出と訂正を行って128ビットからなる情報ビットを出力させる。

【0043】ECC回路の出力部には、排他的論理和回路のようなゲート回路1～128が設けられ、例えばシンドロームバスを介して出力されるコレクト信号が0に対応した情報ビットは誤りが無いとしてメモリセルからの読み出し信号がそのままスルーして出力され、上記コレクト信号が1に対応した情報ビットは誤りとしてメモリセルから読み出された信号を反転することにより訂正して出力される。これにより、データD0～D127の128ビットの情報ビットは、最大2ビットまでの誤り訂正を行なったものが出力される。

【0044】図6には、上記図1の1つのメモリマットの構成図が示されている。特に制限されないが、1つのメモリマットは、前記のように512本のサブワード線と、512対の相補ビット線から構成される。上記のような情報ビットに対応した正規回路に加えて、パリティビット用に36対の相補ビット線が設けられ、不良救済のために4本分の予備のサブワード線RWL設けられ、2回路分の予備のビット線RBL(2×9対)が設けられる。

【0045】上記のようにメモリマットには、パリティビットPB用のビット線が設けられる。すなわち、上記のようにワード線方向に並べられた16個のメモリマットのうち、9個のメモリマットに分散して上記パリティビット用のビット線が割り当てられ、残りの7個のメモリマットにはパリティビット用のビット線は設けられない。つまり、前記図1の実施例において、9個のメインアンプ9MAが設けられる列のメモリマットMATにおいて、上記1ビットづつに分散させて上記パリティビットが割り当てられる。そして、パリティビット用の相補ビット線に不良が発生したものは、上記予備のビット線

に切り換えられて救済される。

【0046】このような予備のワード線や予備のビット線への切り換えのために、不良アドレスを記憶する記憶回路、不良アドレスに対するメモリアクセスを検出するアドレス比較回路が上記XデコーダやYデコーダに含まれる。この欠陥救済回路では、上記不良ワード線（サブワード線）や不良ビット線に対するメモリアクセスを検出すると、上記不良ワード線や不良ビット線の選択動作を禁止するとともに、上記予備のワード線や予備のビット線の選択動作に切り換える。この実施例では、上記のようにECC回路が設けられているので、情報ビットのメモリセルの欠陥よりも、パリティビットのメモリセルの欠陥が優先されて欠陥救済が行われ、上記情報ビットのメモリセルの欠陥はECC回路で救済するようにされる。

【0047】図7には、この発明に係る半導体記憶装置の一実施例の読み出し動作タイミング図が示されている。この実施例の半導体記憶装置は、通常のダイナミック型RAMのインターフェイスに適用される。すなわち、ロウアドレスストロープ信号/RASのロウレベルへの変化に同期してロウアドレスを取り込み、ロウ系のアドレス選択動作、つまりワード線の選択動作とセンスアンプの活性化を行う。続いてカラムアドレスストロープ信号/CASのロウレベルへの変化に同期してカラムアドレスを取り込み、カラム系のアドレス選択動作、メモリマットのビット線の選択動作と、メインアンプの活性化等を行う。

【0048】上記のようにECC回路が内蔵されているので、読み出し動作のときには、上記ECC回路の動作を待って出力イネーブル信号/OEがロウレベルにされて、前記の実施例では128ビットからなる情報ビットが出力される。書き込み動作のときには、図示しいライトイネーブル信号/WEがロウレベルにされて書き込み動作が指示され、128ビットからなる書き込み信号が取り込まれ、ECC回路によりパリティビットの生成が行われてメモリセル部には137ビットの単位で書き込み動作が行われる。

【0049】図8には、この発明に係る半導体記憶装置の他の一実施例の読み出し動作タイミング図が示されている。この実施例の半導体記憶装置は、ランバス(Rambus)1のインターフェイスに準拠した読み出しタイミング図が示されている。この実施例では、コントロール信号BusCtrlによりバスデータから9ビットのデータの組み合わせにより動作モードとX及びYアドレスからなるリクエストパケットを入力する。内部回路では、上記のようなダイナミック型RAM部の読み出しと、ECC回路の動作が行われて、上記ECC回路を通して出力された128ビットからなる読み出しのデータは16ビットづつが8回に分けてシリアルにデータパケットとして出力される。上記のようなデータバスとの入出力動作

は、クロック信号CLKの立ち上がり立ち下がり同期して行われる。例えば、クロック信号CLKの1周期が4nsなら250MHzのような高速でのデータ読み出しが可能にされる。

【0050】図9には、この発明に係る半導体記憶装置の更に他の一実施例の読み出し動作タイミング図が示されている。この実施例の半導体記憶装置は、上記ランバス(Rambus)1を改良したランバス(Rambus)2のインターフェイスに準拠した読み出しタイミング図が示されている。(Rambus)2では、コントロール信号が省略され、8ビットからなるリクエスト信号RQ0~RQ7のうちの3ビットの信号RQ7-5がX系信号とされて、2サイクルでXアドレスの取り込みを指示して続く6サイクルを費やしてXアドレスAXの入力を行う。

【0051】上記8ビットからなるリクエスト信号RQ0~RQ7のうち残り5ビットの信号RQ4-0がY系信号とされて、2サイクルでハイ側Yアドレスを指示し続く3サイクルでハイ側YアドレスAY(H)を取り込み、2サイクルでロウ側Yアドレスを指示し続く1サイクルでロウ側YアドレスAY(L)を取り込む。

【0052】同図(A)では、上記X系アドレスの取り込みとY系アドレスの取り込みがコントロールパケット1とコントロールパケット2のように時間的に分けられる。つまり、このようにX系とY系のコントロールパケットを分けることにより、例えば、上記コントロールパケット2よりメモリセルの選択を行って128ビットの情報ビットをECC回路を通して出力させ、それを前記同様に16ビットずつ8回に分けてシリアルに出力させる。この後に、コントロールパケット2のみを入力すると上記同じワード線を選択状態にしたまま、カラム系の選択動作が切り換えられ、再び128ビットの読み出しが可能にされる。前記のようなメモリマットの構成では、上記1つのワード線を選択状態にしたまま最大で128×64=8192ビットの読み出しが可能にされる。

【0053】同図(B)では、前記図8と同様に上記X系アドレスの取り込みとY系アドレスの取り込みがコントロールパケット1とコントロールパケット2を同時に実行するものである。これにより、上記図8の実施例と実質的に同じく128ビットからなる読み出しのデータを16ビットづつ8回に分けてシリアルにデータパケットとして出力させることができる。上記のようなデータバスとの入出力動作は、クロック信号CLKの立ち上がり立ち下がり同期して行われる。例えば、クロック信号CLKの1周期が2.5nsなら400MHzのような高速でのデータ読み出しが可能にされる。

【0054】図10には、この発明に係る半導体記憶装置におけるテストモードでの読み出し動作タイミング図が示されている。上記のようにパリティビットが記憶されるメモリセルの欠陥の有無を検出するためには、上記

パリティビットに対応されたメモリセルに対して外部からデータの書き込みと読み出しを行う必要がある。この実施例では、図10(A)の例では、コントロールパケット1において、リクエスト信号RQ7-5の組み合わせにより、テストモードと読み出し動作を指定して、そのXアドレスを入力する。コントロールパケット2において、前記同様にY系のアドレスを入力してメモリアクセスを行う。

【0055】上記テストモードであることから上記ECC回路の動作が無効にされる。つまり、前記コレクト信号が全て0にされて128ビットからなる情報ビットがそのまま出力される。これとともに、9ビットからなるパリティビットが上記ECC回路をスルーして出力される。これにより、前記記憶レジスタには137ビットのデータが記憶されることになる。これらのデータは、データパケットにおいて16ビットずつ8回に分けて出力された後の9サイクル目に上記パリティビットの9ビット分が出力される。すなわち、テストモードにおいては、データパケットは9サイクルからなり、16ビットずつ8回に分けてシリアルに上記128ビットの情報ビットが出力された後に、9ビットのパリティビットが出力されるものである。

【0056】図10(B)では、前記図8と同様に上記X系アドレスの取り込みとY系アドレスの取り込みがコントロールパケット1とコントロールパケット2を同時に実行するものである。この場合でも、上記コントロールパケットによりテストモードの読み出しモードであることが指示される。これにより、上記同様に前記コレクト信号が全て0にされて128ビットからなる情報ビットがそのまま出力されるとともに、9ビットからなるパリティビットが上記ECC回路をスルーして出力される。そして、前記記憶レジスタには137ビットのデータが記憶され、それらがデータパケットにおいて9サイクルを費やして出力される。

【0057】テストモードでの書き込み動作は、上記同様にコントロールパケット1においてテストモードでの書き込み動作を指示し、上記の読み出し動作とは逆にデータパケットにおいて128ビットからなる情報ビットを8回に分けてシリアルに入力した後に、9ビットからなるパリティビットが入力してこれらを記憶レジスタにいったん保持させる。そして、これらの137ビットからなる書き込み情報をそのままECC回路をスルーしてダイナミック型RAM部に書き込ませるものである。

【0058】図11には、記憶レジスタの一実施例の概略ブロック図が示されている。記憶レジスタは、レジスタRG0ないしRG15の16個のレジスタから構成される。各レジスタRG0~RG15は、それぞれ情報ビットを記憶させるためにビットB0から上記B7の記憶回路を持ち、上記テストモード時のパリティビットの入出力のためにレジスタRG0~RG8においてビットB

8の記憶回路を持つようにされる。

【0059】上記各レジスタRG0~RG15の各記憶回路B0~B7は、それぞれ情報ビットD0~D127として図示しないパラレル転送用のスイッチを介して上記ECC回路と接続される。また、レジスタRG0~RG8の記憶回路B8は、上記パラレル転送用のスイッチと、ECC回路をスルーする信号経路を通して上記ダイナミック型RAM部の上記パリティビット用の入出力線に接続される。上記各レジスタRG0~RG15の記憶回路B0~B7(B8)は、シリアル入出力端子D0~D15のそれぞれに対して図示しないシリアル選択スイッチを介して共通に接続される。

【0060】上記パラレル転送スイッチは、読み出し動作のときにはECC回路により誤り検出訂正が完了したタイミングでオン状態にされて、ECC回路の出力を上記記憶レジスタにパラレルに転送させる。書き込み動作のときには、上記記憶レジスタに対してシリアルに情報ビットが記憶された後にオン状態にされて書き込み用の情報ビットをパラレルにECC回路に入力させる。テストモードのとき、上記パラレル転送スイッチは、上記ECC回路が動作が無効にされるだけなので上記と同じタイミングでオン状態にされる。

【0061】上記シリアル転送スイッチは、上記クロック信号CLKの立ち上がりと立ち下がりに同期して順次にオン状態にされる。このため、上記クロック信号CLKの立ち上がりと立ち下がりに同期してカウンタ動作を行うカウンタ回路と、このカウンタ回路を計数出力をデコードして上記シリアル転送スイッチをオン状態にさせる選択信号を順次に形成する。あるいは、上記クロック信号CLKの立ち上がりと立ち下がりに同期してシフトレジスタを動作させ、このシフトレジスタを用いて選択信号を順次シフトさせて上記記憶回路B0~B8に対応させた選択スイッチをオン状態にさせるようにしてもよい。

【0062】上記のようなシリアル入出力方式では、128ビットのうちの特定の16ビットのみを変更するようにもできる。つまり、記憶レジスタには128ビット分の記憶データが残っているので、そのうちの16ビットのみを書き換えてダイナミック型RAM部に記憶させるようにすることができる。このために、上記シリアル転送スイッチを上記コントロールパケット2において一部書き換え動作であることを指定し、そのアドレスを入力する。この構成では、書き込み動作のときに逐一に8サイクルに分けて入力する時間が省略できるので、高速なデータ処理が可能になる。例えば、画像処理等においては背景は固定であり、一部の画像のみを変更させることが多くあるので、上記の一部変更の書き込みは有効なものとなる。

【0063】上記記憶レジスタRG0~RG15それぞれ自体をシフトレジスタとし、上記クロックCLKに同期し

てシリアル入出力の動作を行わせるものであってもよい。ただし、この場合には、書き込み動作のときに1サイクル目で入力したデータが読み出し動作のときには8サイクル目で出力されるという先入れ後出しの記憶動作を行うので、それに対応したデータ配列の変換が必要になるものである。このようなデータ配列の変換は、半導体記憶装置の内部で行うものであってもよいが、読み出し用と書き込み用のパラレル転送スイッチをそれぞれ独立に設ける必要がある。

【0064】図12には、この発明に係る半導体記憶装置の全体構成図が示されている。前記のように、この実施例の半導体記憶装置では、メモリアレイ回路と、拡大ハミング符号(137, 128)の符号/復号回路からなるECC回路と、128ビット+9ビットのレジスタ回路を備えて入出力回路)とにより構成されるものであり、外部データバスとの間では、常に128ビットの単位で実質的な入出力が行われる。つまり、上記のように一部のバイトのみを切り換える場合でも、それはそのうちの他のバイトの入出力を省略しただけであり、データの入出力としては上記のように128ビット単位で行われるものである。このように128ビットのような一定のデータのかたまりを単位として入出力を行うものであるために、上記ECC回路の情報ビット長と入出力ビット長が一致しているために書き込み動作の高速化が可能になるものである。

【0065】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) マトリックス配置されてなる複数のメモリセルを含むメモリアレイの複数個をマトリックス配置してメモリアレイ構成し、アドレス選択回路により複数のメモリセルを選択して、ECC回路により複数ビットからなる記憶データとかかる記憶データに対応して誤り検出訂正用のパリティビットとを生成して上記メモリセルに書き込むようにし、上記複数のメモリセルから読み出された複数ビットの記憶データとパリティビットとを上記ECC回路に供給して誤り検出と訂正を行い上記記憶データを取り出し、かかるECC回路と間で上記複数ビットの記憶データをパラレルに転送させる記憶レジスタを設け、上記各メモリアレイには不良ワード線又は不良ビット線を予備のワード線又は予備のビット線に切り換える冗長回路を設けて上記パリティビットを記憶するメモリセルの欠陥救済に優先的に使用し、上記記憶レジスタにはパリティビットに対応した記憶回路を設けるとともにテストモードの指定により上記ECC回路の動作を無効にして上記記憶データとパリティビットを上記記憶レジスタを介して入出力できるようにすることにより、効率的な欠陥救済が可能になるとともにECC回路によりポーザリフレッシュ不良やソフトエラーも救済できるので高信頼性で低消費電力にできるという効果が得られる。

【0066】(2) 上記記憶レジスタと外部端子との

間でパラレルにデータの入出力させることにより大量のデータを入出力させることができるから、単位メモリアレイ当たりのデータ入出力を効率的に行うようにすることができるという効果が得られる。

【0067】(3) 上記記憶レジスタと外部端子との間では、上記記憶データをN分割し、N回に分けてシリアルに入出力させ、テストモードのときには上記パリティビットに対応してN+1回以上にわたってシリアルに入出力させることにより、テストモードを含めて外部端子数を減らしつつ、汎用システムへの実装を容易にできるという効果が得られる。

【0068】(4) 上記パリティビットを複数のメモリアレイに設けられるメモリセルに分散して記憶させることにより、その欠陥救済を合理的に行うようにすることができるという効果が得られる。

【0069】(5) 上記メモリセルとしてダイナミック型メモリセルを用い、上記メモリアレイには上記ダイナミック型メモリセルから読み出された記憶情報を増幅し、それを上記ダイナミック型メモリセルの記憶キャパシタに書き込むラッチ型のセンスアンプを設けることにより、ECC回路や欠陥救済回路を搭載しつつ、小さなチップサイズで大記憶容量化を図ることができるという効果が得られる。

【0070】(6) 上記メモリアレイとして行方向と列方向にそれぞれ複数のメモリアレイがマトリックス配置し、その列方向の一端側が方形の半導体チップの一边に沿うよう対応させ、その列方向の他端側にメインアンプ列を配置し、上記半導体チップの上記一边に対向する他端側に入出力回路を配置し、上記入出力回路と上記メインアンプとの間に上記ECC回路を配置させることにより、半導体チップ上では信号の流れが全ビット均一にでき、外部との間ではボンディングパッドと外部リードとが最短距離で接続できるので前記高速なデータの入出力が可能になるという効果が得られる。

【0071】(7) 上記メモリアレイとして半導体チップの中央部において上記列方向に沿ってX系のアドレス選択回路を設け、上記メインアンプ列に沿ってY系のアドレス選択回路が設けられることにより、メインワード線の長さを半分にでき、ワード線の選択動作を高速にできるとともに、Y系選択回路を効率よく配置させることができるという効果が得られる。

【0072】(8) 上記入出力回路に含まれるデータ入出力回路は、クロック信号の立ち上がり立ち下がり同期して上記記憶レジスタとの間でシリアルにデータの入出力を行わせ、アドレス信号と動作モードを指示する信号は、リクエスト信号の組み合わせより入力することにより、使い勝手のよい半導体記憶装置を得ることができるという効果が得られる。

【0073】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限

定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリセルは、スタティック型メモリセルで構成するものであってもよい。図1のようなアレイ構成において、2つに分けられたメモリアレイをバンク1とバンク2に対応させ、それぞれを独立して選択できるようにしてもよい。この場合には、バンク1とバンク2のワード線を交互に選択することにより、X系においても連続したメモリアクセスが可能にされる。1回のメモリアクセスで選択される情報ビットは、前記のような128ビットの他、256ビット等種々の実施例形態を取ることができる。このように情報ビット数を減らすと、パリティビットが占める割合が小さくなり、ダイナミック型RAM部での実質的な集積度を高くすることができる。

【0074】入出力インターフェイスは、シンクロナスDRAMに適合させたものであってもよい。ただし、上記のように128ビットものデータを入出力させると、端子数が増大するので、外部クロックに同期させて16ビットや8ビットの単位でシリアルに入出力させるようにさせることが有益である。この発明は、書き込み/読み出しが行われる半導体記憶装置に広く利用できるものである。

【0075】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、マトリックス配置されてなる複数のメモリセルを含むメモリマットの複数個をマトリックス配置してメモリアレイ構成し、アドレス選択回路により複数のメモリセルを選択して、ECC回路により複数ビットからなる記憶データとかかる記憶データに対応して誤り検出訂正用のパリティビットとを生成して上記メモリセルに書き込むようにし、上記複数のメモリセルから読み出された複数ビットの記憶データとパリティビットとを上記ECC回路に供給して誤り検出と訂正を行い上記記憶データを取り出し、かかるECC回路と間で上記複数ビットの記憶データをパラレルに転送させる記憶レジスタを設け、上記各メモリマットには不良ワード線又は不良ビット線を予備のワード線又は予備のビット線に切り換える冗長回路を設けて上記パリティビットを記憶するメモリセルの欠陥救済に優先的に使用し、上記記憶レジスタにはパリティビットに対応した記憶回路を設けるとともにテストモードの指定により上記ECC回路の動作を無効にして上記記憶データとパリティビ

ットを上記記憶レジスタを介して入出力できるようにすることにより、効率的な欠陥救済が可能になるとともにポーズリフレッシュ不良やソフトウェアも救済できるので高信頼性で低消費電力にできる。

【図面の簡単な説明】

【図1】この発明に係る半導体記憶装置の一実施例を示す概略レイアウト図である。

【図2】図1のメモリマットのメインワード線とサブワード線との関係を説明するための要部ブロック図である。

【図3】図1のメインワード線とセンスアンプとの関係を説明するための要部ブロック図である。

【図4】図1のメモリマットのセンスアンプ部と、その周辺回路の一実施例を示す要部回路図である。

【図5】図1のメモリアレイ部とECC回路の関係を示す概略ブロック図である。

【図6】図1の1つのメモリマットの一実施例を示す構成図である。

【図7】この発明に係る半導体記憶装置の一実施例を示す読み出し動作タイミング図である。

【図8】この発明に係る半導体記憶装置の他の一実施例を示す読み出し動作タイミング図である。

【図9】この発明に係る半導体記憶装置の更に他の一実施例を示す読み出し動作タイミング図である。

【図10】この発明に係る半導体記憶装置におけるテストモードでの一実施例を示す読み出し動作タイミング図である。

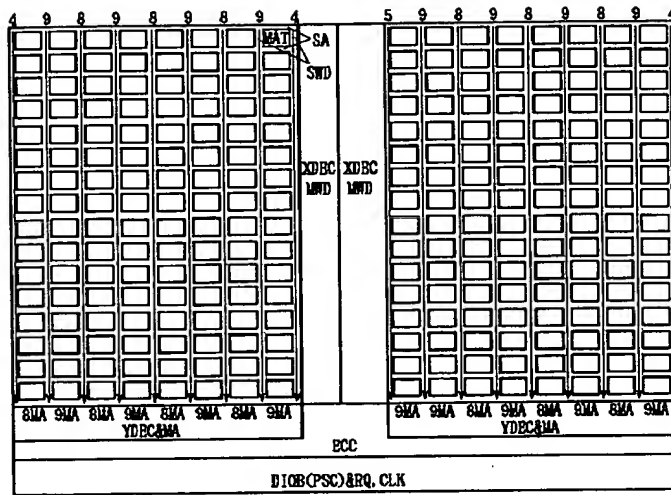
【図11】この発明に係る半導体記憶装置に設けられる記憶レジスタの一実施例を示す概略ブロック図である。

【図12】この発明に係る半導体記憶装置の全体構成図である。

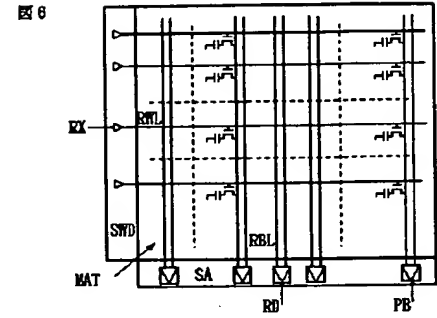
【符号の説明】

MAT…メモリマット、SA…センスアンプ、SWD…サブワードドライバ、XDEC…Xデコーダ、MWD…メインワードドライバ、MA…メインアンプ、YDEC…Yデコーダ、ECC…誤り検出訂正回路、DIOB…入出力回路、PSC…パラレル/シリアル変換回路、MWL1~MWLn…メインワード線、SWL0…サブワード線、LIO…ローカル入出力線、MIO…メイン入出力線、SAY1~SAY16…サブアレイ、S1~S9…シンドロームツリー、RWL…冗長ワード線、RBL…冗長ビット線、RG0~RG15…記憶レジスタ、B1~B8…記憶回路、Q1~Q25…MOSFET。

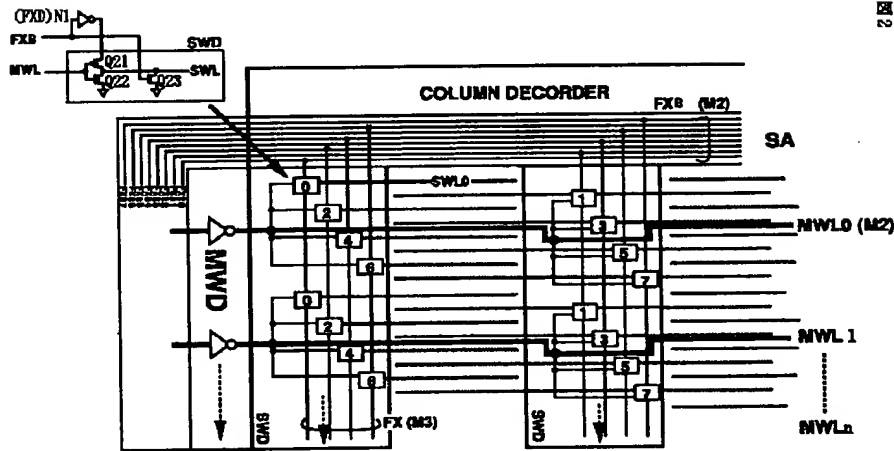
【図1】



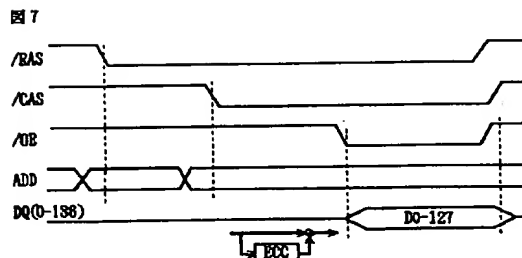
【図6】



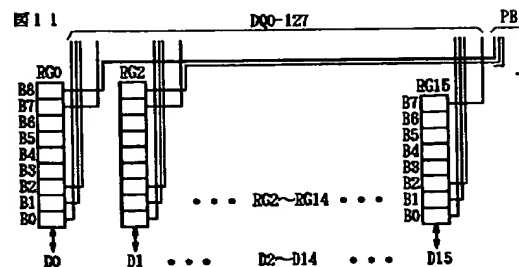
【図2】



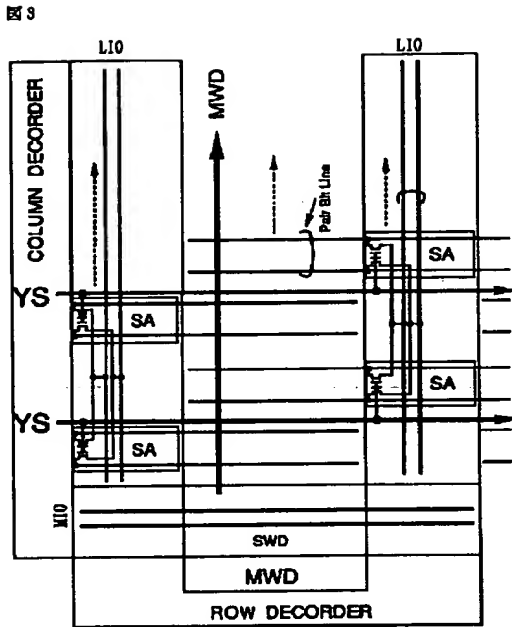
【図7】



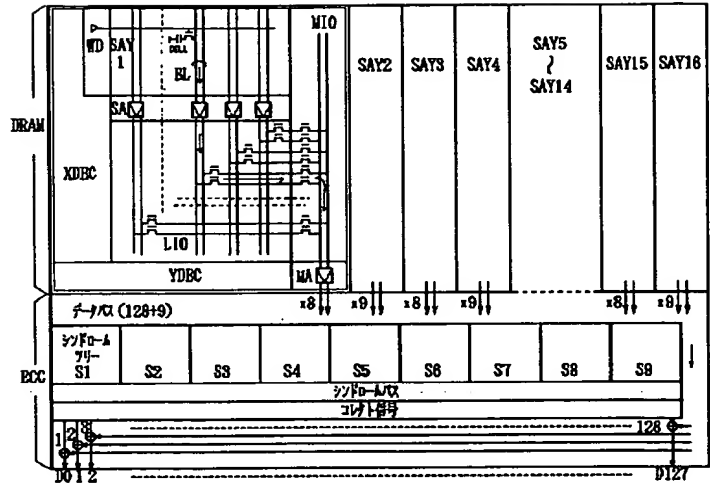
【図11】



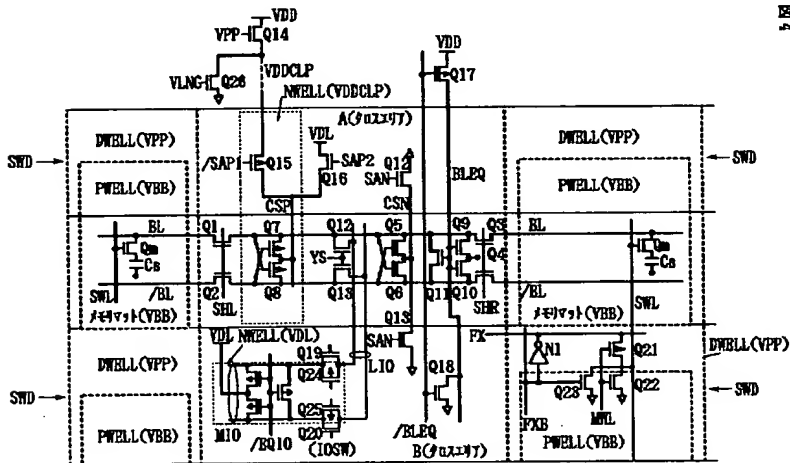
【図3】



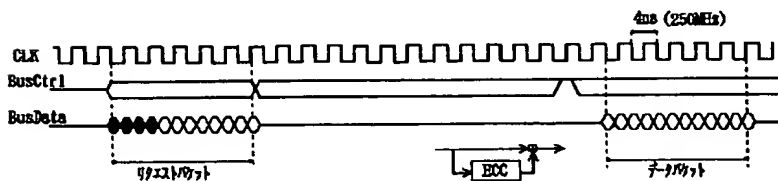
【図5】



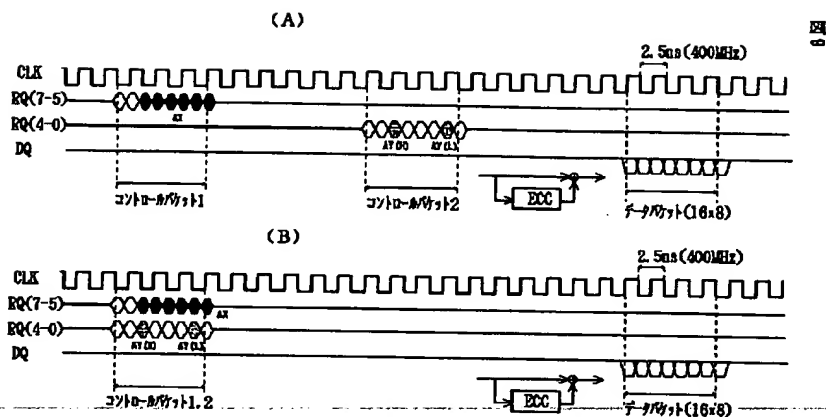
【図4】



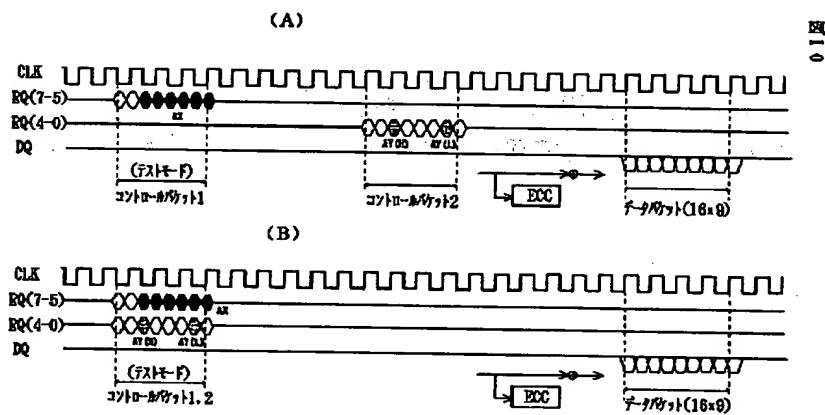
【図8】



【図9】



【図10】



【図12】

図12

